

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2003078366 A

(43) Date of publication of application: 14.03.03

(51) Int. Cl

H03F 3/343

G05F 3/24

H03F 1/30

(21) Application number: 2001267773

(22) Date of filing: 04.09.01

(71) Applicant:

TOYAMA
PREFECTURESHIKINO
HIGHTECH:KK

(72) Inventor:

OSONE TAKASHI
MATUDA TOSHIHIRO
NAKAJIMA SHIGEKI
IHARA TAKASHI
YAMAMOTO SHINYA

(54) MOS TYPE REFERENCE VOLTAGE
GENERATING CIRCUIT

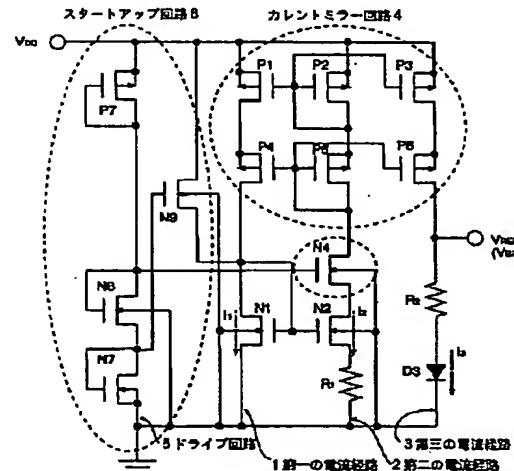
second current path 2.

COPYRIGHT: (C)2003,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a reference voltage generating circuit of a semiconductor integrated circuit using MOSFETs which do not affect a reference voltage due to fluctuations of a power supply voltage and temperatures.

SOLUTION: A band-gap reference voltage generating circuit is constituted by a current mirror circuit 4 which has first, second and third current paths 1, 2, 3 structured by P channel MOSFETs and sets the second current path as a bias step, an N channel MOSFET which operates in a sub-threshold region connected to the first current path 1, the N channel MOSFET and a resistance element which operate in the sub-threshold region connected to the second current path 2, and the resistance element and a p-n junction diode connected to the third current path 3. In the MOS type reference voltage generating circuit, a drain-to-source voltage correcting N channel MOSFET is connected between the P channel MOSFET and the N channel MOSFET in the



(51) Int.Cl.⁷
 H 03 F 3/343
 G 05 F 3/24
 H 03 F 1/30

識別記号

F I
 H 03 F 3/343
 G 05 F 3/24
 H 03 F 1/30
 テーマコード(参考)
 A 5 H 4 2 0
 B 5 J 0 9 0
 B 5 J 0 9 1
 5 J 5 0 0

審査請求 未請求 請求項の数6 O.L (全18頁)

(21)出願番号 特願2001-267773(P2001-267773)

(22)出願日 平成13年9月4日 (2001.9.4)

(71)出願人 000236920
 富山県
 富山県富山市新総曲輪1番7号
 (71)出願人 392016432
 株式会社シキノハイテック
 富山県魚津市江口2184
 (72)発明者 大曾根 隆志
 富山県射水郡小杉町黒河5180 富山県立大学内
 (74)代理人 100090206
 弁理士 宮田 信道

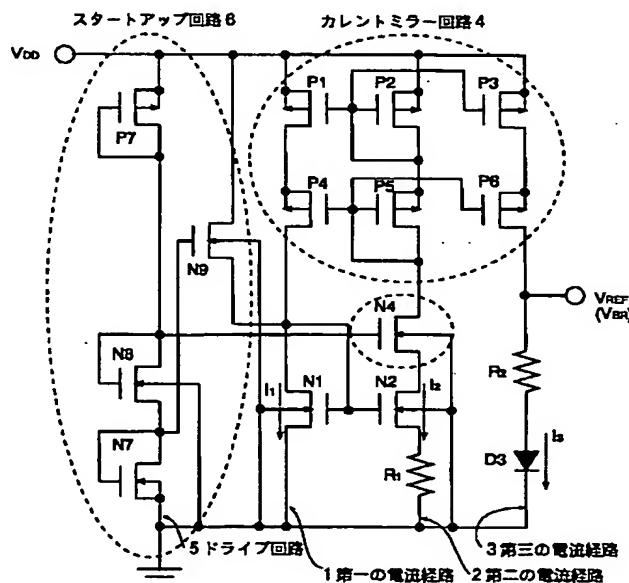
最終頁に続く

(54)【発明の名称】 MOS型基準電圧発生回路

(57)【要約】

【課題】 電源電圧及び温度の変動による基準電圧への影響が無いMOSFETによる半導体集積回路の基準電圧発生回路の提供。

【解決手段】 PチャネルMOSFETで構成される第一、第二及び第三の電流経路1、2、3を有し上記第二の電流経路をバイアス段とするカレントミラー回路4と、第一の電流経路1に接続されたサブサブレッショルド領域で動作するNチャネルMOSFETと、第二の電流経路2に接続されたサブレッショルド領域で動作するNチャネルMOSFET及び抵抗素子と、第三の電流経路3に接続された抵抗素子及びpn接合ダイオードとで構成されるバンドギャップ基準電圧発生回路において、第二の電流経路2における上記PチャネルMOSFETとNチャネルMOSFETの間にドレイン・ソース間電圧補正用NチャネルMOSFETを接続したMOS型基準電圧発生回路。



【特許請求の範囲】

【請求項1】 PチャネルMOSFETで構成される複数の電流経路を有するカレントミラーハイブ（4）と、それ等の電流経路に接続された複数のNチャネルMOSFETを有する回路において、複数のNチャネルMOSFETのソース・ドレン間電圧補正用MOSFETを上記PチャネルMOSFETと直列に接続したMOS型基準電圧発生回路。

【請求項2】 PチャネルMOSFETで構成される第一、第二及び第三の電流経路（1, 2, 3）を有し上記第二の電流経路をバイアス段とするカレントミラーハイブ（4）と、第一の電流経路（1）に接続されたサブサブスレッシュルド領域で動作するNチャネルMOSFETと、第二の電流経路（2）に接続されたサブスレッシュルド領域で動作するNチャネルMOSFET及び抵抗素子と、第三の電流経路（3）に接続された抵抗素子及びpn接合ダイオードとで構成されるバンドギャップ基準電圧発生回路において、第二の電流経路（2）における上記PチャネルMOSFETとNチャネルMOSFETの間にドレン・ソース間電圧補正用NチャネルMOSFETを接続したMOS型基準電圧発生回路。

【請求項3】 電源VDD・GND間に、PチャネルMOSFETと、ダイオード接続のドライブ用NチャネルMOSFETをn段に直列接続し、GND側からn段目のドライブ用NチャネルMOSFETのドレンを前記ドレン・ソース間電圧補正用NチャネルMOSFETのゲートに接続し、且つ、n：自然数、及びn≤（電源電圧VDD）/（ドライブ用NチャネルMOSFETのしきい値電圧VT）を満足するドライブ回路（5）を具備したことを特徴とする前記請求項1又は請求項2のいずれかに記載のMOS型基準電圧発生回路。

【請求項4】 ゲートに1段目の前記ドライブ用NチャネルMOSFETのドレンが接続されると共に、ドレンに電源VDDが接続され、ソースが前記第一の電流経路（1）におけるNチャネルMOSFETのドレンに接続されたNチャネルMOSFETを用いたスタートアップ回路（6）を有する前記請求項3に記載のMOS型基準電圧発生回路。

【請求項5】 前記第三の電流経路（3）に接続されたpn接合ダイオードの代わりに、ダイオード接続のNチャネルMOSFETを用いたことを特徴とする前記請求項2、3又は4のいずれかに記載のMOS型基準電圧発生回路。

【請求項6】 前記ダイオード接続のNチャネルMOSFETにおける基板バイアス電圧Vsubを調整する基板バイアス可変回路（7）を設けたことを特徴とする前記請求項5に記載のMOS型基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSFETによ

る半導体集積回路に構成された基準電圧発生回路に関する。

【0002】

【従来の技術】 今日、小型で小電力で且つ高速な回路が求められるなか、ほとんどのデジタル回路がその様な要求を満足するCMOSデバイスで構成されており、バイポーラデバイスが中心であったアナログ回路の分野においてもCMOSデバイスによる実現が望まれている。しかし、アナログ回路においては、デジタル回路とは異なり、温度による影響が無くしかも電源電圧の変動にも影響されない基準電圧発生回路の実現が極めて重要なとなる。特に、アナログ-デジタル変換回路やデジタル-アナログ変換回路においては、電源電圧や温度に対して安定な基準電圧発生回路が要求される。従って、CMOS回路を用いて安定した基準電圧発生回路を構成することは、アナログCMOS回路の実現には必須の要件となる。

【0003】 従来より半導体集積回路に構成される基準電圧発生回路は、従来例を示す図8の如くスタートアップ回路と、カレントミラーハイブを具備したバンドギャップ基準電圧発生回路（以下、バンドギャップ回路と記す。）とから構成されている。

【0004】 スタートアップ回路は、当該バンドギャップ回路への電源投入初期において、電源投入前における安定状態から所定出力電圧が得られる安定動作状態への移行を促進する為の始動回路である。当該回路構成では、電源投入に際して、PチャネルMOSFET（以下、PMOSFETと記す。）P07及びNチャネルMOSFET（以下、NMOSFETと記す。）N07のドレン電圧を急激に立ち上げることで、速やかにNMOSFET：N09が稼働し、NMOSFET：N01及びN02に対する所望のゲート電圧を得ることができる。

【0005】 MOSFETの特性を決める極めて重要な設計パラメータが、チャネルの幅：Wと、チャネルの長さ：Lである。ここで、チャネルの幅と長さを一定比率（同サイズである場合も含む）に定める事によって、それら組となる各MOSFETのドレン電流に一定の比率が与えられることとなる。カレントミラーハイブは、この様な特性を利用したものであって、例えば、図8に示されている様に、同サイズのPMOSFET：P01, P02, P03をカレントミラーハイブ接続し、カレントミラーハイブ接続が成された各々のソースを電源電圧VDDに接続することによって、カレントミラーハイブ接続が成された各MOSFETのドレン・ソース間に、相等しい一定の電流（以下、ドレン電流と記す。）を流すものである。

【0006】 バンドギャップ回路は、pn接合ダイオードD03を用いることにより、物理定数であるシリコンバンドギャップ（以下、バンドギャップと記す。）に依存した基準電圧を発生させる回路であって、理論上、前

記カレントミラー回路のPMOSFET：P01, P02, P03のドレン電流が相等しい（或いは所定の比率を持つ）ことを条件として、電源電圧VDDの変動に影響されることなく所定の基準電圧を安定して発生するものである。

【0007】

【発明が解決しようとする課題】しかしながら、従来図に示す回路構成では、N01のドレン電圧とN02のドレン電圧との間に差が生じ、例えN01とN02の動作領域がサブスレッショルド領域にあったとしても、前記N01とN02のドレン・ソース間電流が不一致となり、前記理論上理想的なカレントミラー回路の動作を得ることが出来ない。その結果、出力段に流れる電流が、電源電圧VDDの変動の影響を受ける形となり、VDDに対して安定した基準電圧VREFを得ることが出来なかった。

【0008】本発明は、上記実情に鑑みて成されたものであって、電源電圧の変動による基準電圧への影響が無いMOSFETによる半導体集積回路の基準電圧発生回路の提供を目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するため成された本発明によるMOS型基準電圧発生回路は、PチャネルMOSFETで構成される複数の電流経路を有するカレントミラー回路と、それ等の電流経路に接続された複数のNチャネルMOSFETを有する回路において、複数のNチャネルMOSFETのソース・ドレン間電圧補正用MOSFETを上記PチャネルMOSFETと直列に接続した事を特徴とする。

【0010】より具体的には、PMOSFETで構成される第一、第二及び第三の電流経路を有し上記第二の電流経路をバイアス段とするカレントミラー回路と、第一の電流経路に接続されたサブスレッショルド領域で動作するNMOSFETと、第二の電流経路に接続されたサブスレッショルド領域で動作するNMOSFET及び抵抗素子と、第三の電流経路に接続された抵抗素子及びpn接合ダイオードとで構成され、上記2つのNMOSFETのドレン電圧がほぼ等しくなるように、第二の電流経路における上記PMOSFETとNMOSFETの間にドレン・ソース間電圧補正用NMOSFETを接続した構成が挙げられる。仕様に応じ、前記第一、第二及び第三の電流経路それぞれについて、前記PMOSFETを2段に直列接続して成るカレントミラー回路を有する構成とする場合もある。

【0011】ここで、バイアス段とは、カレントミラー回路を構成する複数段の回路のうち、カレントミラー関係にある全てのPMOSFETのゲートに対して同じ電位を接続すべく当該全てのPMOSFETのゲートに接続する電位の共通取得点が存在し、且つ当該段に流れる電流を決定するための抵抗素子が接続してある段である。

る。尚、当該明細書において抵抗素子とは、素材及び構造を限定することなく所望の抵抗成分を回路上に構成する抵抗体を指す。

【0012】電源VDD・GND間に、PチャネルMOSFETと、ダイオード接続のドライブ用NチャネルMOSFETをn段に直列接続し、GND側からn段目のドライブ用NチャネルMOSFETのドレンを前記ドレン・ソース間電圧補正用NチャネルMOSFETのゲートに接続し、且つ、n：自然数、及びn≤（電源電圧VDD）/（ドライブ用NMOSFETのしきい値電圧VT）を満足する構成とする場合もあり、更に、ゲートに1段目の前記ドライブ用NMOSFETのドレンが接続されると共に、ドレンに電源VDDが接続され、ソースが前記第一の電流経路におけるNMOSFETのドレンに接続されたNMOSFETを用いたスタートアップ回路を有する構成とする場合もある。

【0013】基準電圧VREFの値をしきい値電圧で安定化させるべく、前記第三の電流経路に接続されたpn接合ダイオードの代わりに、ダイオード接続のNMOSFETを用いた構成を探っても良く、更に、該基準電圧の制御を可能とすべく前記ダイオード接続のNMOSFETにおける基板バイアス電圧を調整する基板バイアス可変回路を設けた構成とすることも可能である。尚、前記ダイオード接続のNMOSFETとは、ゲート・ドレン間を短絡して用いたNMOSFETを指す。

【0014】

【発明の実施の形態】以下、本発明たるMOS型基準電圧発生回路の実施の形態を図面に基づき説明する。図1に示したサンプル回路は、PMOSFETによるカレントミラー回路4及びMOSFETのドレン電圧をほぼ等しくするためのドレン・ソース間電圧補正用NMOSFET：N4を具備したバンドギャップ回路と、当該バンドギャップ回路への電源投入初期における動作の安定化を促進するスタートアップ回路6とから構成された基準電圧発生回路である。

【0015】前記バンドギャップ回路は、電源電圧VDD・GND間に、PMOSFET：P1, PMOSFET：P4, 及びNMOSFET：N1を直列に接続した第一の電流経路1と、PMOSFET：P2, PMOSFET：P5, ドレン・ソース間電圧補正用NMOSFET：N4, NMOSFET：N2, 及び抵抗素子R1を直列に接続した第二の電流経路2と、PMOSFET：P3, PMOSFET：P6, 抵抗素子R2, 及びpn接合ダイオード：D3を直列に接続した第三の電流経路3とを並列に接続して構成されている。

【0016】前記カレントミラー回路4は、PMOSFET：P2, P5のゲート・ドレン間が短絡され、PMOSFET：P1, P2, P3のゲート同士、及びPMOSFET：P4, P5, P6のゲート同士が短絡されて成るカレントミラ一部が二段積み三列構成を呈する

形で構成されている。また、前記N 1のドレイン・ゲート間が短絡され、更に、NMOSFET：N 1, N 2のゲート同士が短絡されることによって、NMOSFETによるカレントミラー構成も形作られている。当該半導体集積回路の基準電圧発生回路の出力たる基準電圧VREFは、前記第三の電流経路を構成するPMOSFET：P 6と抵抗素子R 2間の出力端から引き出されるものとする。

【0017】前記スタートアップ回路6は、電源電圧VDD・GND間に、PMOSFET：P 7、ドレイン・ゲート間を短絡させダイオード接続としたドライブ用NMOSFET：N 7、及びドライブ用NMOSFET：N 8を直列に接続したドライブ回路5と、ドレインを電源電圧VDDに、ソースを前記バンドギャップ回路のP4・N 1間に接続すると共に、そのゲートを前記N 7・N 8間に接続したスタートアップ用NMOSFET：N 9とから構成される。当該スタートアップ用NMOSFET：N 9が稼働することによって、N 1, N 2へ所望のゲート電圧を速やかに供給して前記バンドギャップ回路のスタートアップを行なう。尚、前記ドライブ用NMOSFET：N 8のドレインは、上記ドレイン・ソース間電圧補正用NMOSFET：N 4のゲートに接続され、当該ドレイン・ソース間電圧補正用NMOSFET：N 4をドライブするために用いられる。

【0018】上記構成においてPMOSFET：P 1, P 2, P 3のチャネル長及びチャネル幅を相互に等しく設定すると共に、PMOSFET：P 4, P 5, P 6のチャネル長及びチャネル幅を相互に等しく設定し、且つ、NMOSFET：N 1, N 2のチャネル長を等しく設定すると共に、N 2のチャネル幅をN 1のチャネル幅に対する適当な比率（例えば、1, 2, …, 7, 8倍等）に設定する。

【0019】NMOSFET：N 1, N 2はサブスレッショルド電流領域で動作させるように設計するので、これらNMOSFET：N 1, N 2に流れる電流I1（N 1）、I2（N 2）は、下記（1）（2）式で与えられ、pn接合ダイオード：D 3に流れる電流I3（D 3）は、下記（3）式で与えられる。

【0020】

【数1】

$$I_{1(N1)} = I_{s(N1)} \cdot \exp[(V_{G(N1)} - V_T) / n \cdot V_t]$$

$$(\Delta / \Delta T) V_{REF} = (n \cdot R2 / R1) \cdot (k / q) \cdot \ln m + (\Delta / \Delta T) \cdot V_{D(D3)}$$

……… (5)

【数6】

$$(\Delta / \Delta T) \cdot V_{D(D3)} = -[E_{G0} - V_{D(D3)}] / T$$

但し、EG0はT=0 Kでのバンドギャップの電位である。

……… (1)

【数2】

$$I_{1(N2)} = I_{s(N2)} \cdot \exp[(V_{G(N2)} - V_T) / n \cdot V_t]$$

但し、

$$V_{G(N2)} = V_{G(N1)} - I_2 \cdot R_2$$

……… (2)

【数3】

$$I_{3(D3)} = I_{D(D3)} \cdot \exp[(V_{D(D3)} - E_G) / V_t]$$

……… (3)

ここで、

IS：温度に依存しないサブスレッショルド電流

VG：ゲート電圧

VT：しきい値電圧

n：サブスレッショルド係数の補正項

Vt：熱電圧（=k・T/q）

k：ボルツマン定数

T：絶対温度

q：電子の電荷量

VD：pnダイオードに印加される電圧

EG：シリコンのバンドギャップ

である。

【0021】そして、前記バンドギャップ回路の第一電流経路1に流れる電流I1と、第二電流経路2に流れる電流I2と、第三電流経路3に流れる電流I3とが等しい（I1=I2=I3）という条件を満たせば、上記（1）（2）（3）式で与えられるI1, I2, I3は相互に等しいこととなる。

【0022】また、基準電圧VREFは、下記（4）式によって与えられる。

【数4】

$$V_{REF} = V_{D(D3)} + V_t \cdot (n \cdot R2 / R1) \cdot m \cdot \ln m$$

但し、m：N 1とN 2のチャネル幅W1, W2の比（m=W2/W1）。

……… (4)

【0023】前記基準電圧VREFの温度特性は、下記（5）式で与えられ、pnダイオードD 3に印加される電圧の温度特性は、下記（6）式で与えられる。

【数5】

……… (6)

【0024】温度特性を平坦にするということで（Δ/ΔT）・VREF=0とし、（5）式に代入すると下記（7）式となる。

【数7】

$$R2/R1 = [E_{G0} - V_{D(D3)}]/n \cdot V_t \cdot \ln m$$

..... (7)

【0025】即ち、(R2/R1)の比が(7)式を満たすように回路を設計すれば、温度特性が平坦で、且つ非常に安定した下記(8)式の電圧を基準電圧VREFとして得ることができる。当該VREFは、シリコンの物理定数であるバンドギャップの電位で決定されるので、バンドギャップ基準電圧と呼ばれる。

【数8】

$$V_{REF} = E_{G0} \approx 1.21V$$

..... (8)

【0026】図2に示したサンプル回路においては、pn接合ダイオードD3をドレインとゲートを短絡したダイオード接続のNMOSFET:N3に置き換えることが出来る様子が示されている。この様に、pn接合ダイオードD3をダイオード接続のNMOSFET:N3に置き換えた場合には、pn接合ダイオードに流れる電流I3(D3)は、上記ダイオード接続のNMOSFET:N3のドレイン・ソース間に流れる電流I3(N3)となり、下記(9)式によって与えられる。

【数9】

$$I_{3(N3)} = I_{S(N3)} \cdot \exp[V_{G(N3)} - V_t]/n \cdot V_t$$

..... (9)

そして、ダイオード接続のNMOSFET:N3に印加される電圧の温度特性は、バンドギャップ方式の基準電圧VREFの場合と同様に、下記(10)式で与えられる。

【数10】

$$(\Delta/\Delta T) \cdot V_{G(N3)} = -[V_{T0} - V_{G(N3)}]/T$$

但し、VTOはT=0KでのN3のしきい値電圧である。

..... (10)

【0027】ここで、下記(11)式を満足するように回路設計すれば、 $(\Delta/\Delta T) \cdot V_{REF} = 0$ となり、下記(12)式の様に基準電圧VREFが得られる。当該基準電圧VREFは、ダイオード接続NMOSFET:N3のT=0Kにおけるしきい値電圧に安定化されるので、特にしきい値電圧基準電圧VTRとよぶ。

【数11】

$$R2/R1 = [V_{T0} - V_{G(N3)}]/n \cdot V_t \cdot \ln m$$

..... (11)

【数12】

$$V_{REF} = V_{T0}$$

..... (12)

【0028】上記理論上、NMOSFETの理想的なサブレッショルド電流は(1)、(2)式で与えられる

よう¹にゲート電圧VGのみで決定され、ドレイン電圧には依存しない。従って、同じゲート電圧が印加されているNMOSFET:N1、N2には同じI1とI2という電流が流れるはずである。しかし、実際には、サブレッショルド電流はソース・ドレイン間の電圧にも依存するので、厳密にI1=I2を満たすためにはNMOSFET:N1、N2のソース・ドレイン間電圧を等しくする必要がある。

【0029】本実施例の回路では、NMOSFET:N2のソース電圧は、NMOSFET:N1のソース電圧に比べてI2+R1の電圧分だけ高くなるが、この電圧は通常数10mV程度であるので、そのサブレッショルド電流に及ぼす影響は無視できる。従って、この場合には、N2のドレイン電圧差に注目すればよい。上記サンプル回路のシミュレーション結果によれば、VDDが5Vの時のNMOSFET:N1、N2のドレイン電圧は、前記ソース・ドレイン間電圧補正用NMOSFET:N4が無い場合には、それぞれ0.7Vと2.7Vとなり、約2.0Vもの電圧差が生じている。本来、この様な結果では上記理論計算で想定したI1=I2=I3の関係が厳密には成立していないので、基準電圧VREFの、VDDや温度に対する安定性が悪くなることは容易に推測できる。

【0030】しかしながら、上記サンプル回路(図1及び図2参照)においては、前記ソース・ドレイン間電圧補正用NMOSFET:N4に対し、前記スタートアップ回路からゲート電圧が供給されることによって、電源電圧VDDの変動等に起因してNMOSFET:N1、N2のドレイン電圧に生じる格差を吸収する電圧補正作用が生じ、NMOSFET:N1、N2のドレイン電圧は、ほぼ等しい0.7Vとなる。この様に、当該ソース・ドレイン間電圧補正用NMOSFET:N4の電圧補正作用が、NMOSFET:N1、N2に流れるドレイン電流I1とI2とを一致させ、前記I1=I2=I3という条件を厳密に成立させる作用を奏した結果として、電源電圧VDDの変動に対する影響を受けない安定した基準電圧VREFが与えられることとなる。

【0031】

【実施例】以下、上記サンプル回路の試作・測定結果について述べる。尚、先に挙げた2種類の回路から取り出す基準電圧VREFを区別するために、pn接合ダイオードD3を用いたバンドギャップ基準電圧VREFをVBRと称し、ダイオード接続NMOSFET:N3を用いたしきい値電圧基準電圧VREFをVTRと称する。サンプル回路の試作は、1.2ミクロン・ルールのnウェルCMOSプロセスで行った。抵抗素子R1、R2はnウェル抵抗で形成し、R1は50kΩである。

【0032】図4にpn接合ダイオードD3を用いたバンドギャップ基準電圧VBRのVDD=3V、4V、5V、6V、7Vでの温度依存性データを示す。測定温度

は -60 , -20 , $+20$, $+60$, $+100$ °Cである。図4(口)は、ドレイン・ソース間電圧補正用NMOSFET:N4が無くPMOSFET:P5とNMOSFET:N2のドレインを短絡した場合、図4(イ)は、ドレイン・ソース間電圧補正用NMOSFET:N4がある場合の測定結果を示す。 $V_{DD}=5.0V$ 、 $T=+20$ °Cでの V_{BR} は、両者とも約 $1.26V$ とほぼ同じ値で、消費電流は約6マイクロアンペアであった。

【0033】ダイオード接続のNMOSFET:N3を用いたしきい値電圧基準電圧 V_{TR} での、同様な測定結果を図5に示す。この時、 $V_{DD}=5.0V$ 、 $T=+20$ °Cでの V_{TR} は両者とも約 $1.29V$ であった。当該図から明らかな様に、ドレイン・ソース間電圧補正用NMOSFET:N4を用いることによって、 V_{DD} 依存性は勿論のこと温度依存性も大幅に改善された。

【0034】上記測定結果を、バンドギャップ基準電圧 V_{BR} 及びしきい値電圧基準電圧 V_{TR} の変動率の様子として図6に示す。尚、縦軸の ΔV_{BR} 又は ΔV_{TR} は、 $V_{DD}=5.0V$ 、 $T=+20$ °Cでのバンドギャップ基準電圧 V_{BR} 及びしきい値電圧基準電圧 V_{TR} 電圧を基準値として、 $V_{DD}=3V \sim 7V$ の範囲及び $V_{DD}=4V \sim 6V$ の範囲について、 $T=-60$ °C ~ 100 °Cの測定範囲におけるバンドギャップ基準電圧 V_{BR} 及びしきい値電圧基準電圧 V_{TR} の最大値から最小値に亘る変化量を、前記基準値に対する割合(%)として表示したものである。

【0035】以下、 $V_{DD}=3V \sim 7V$ の範囲における変化量をカッコ外に、 $V_{DD}=4V \sim 6V$ の範囲における変化量をカッコ内に示す。 ΔV_{BR} は、ドレイン・ソース間電圧補正用NMOSFET:N4を用いない場合の、7.2(3.3)%からドレイン・ソース間電圧補正用NMOSFET:N4を用いることによって1.9(1.1)%へと1/3以下の変動幅に改善された。同様に、 ΔV_{TR} は、ドレイン・ソース間電圧補正用NMOSFET:N4を用いない場合の6.4(2.8)%からドレイン・ソース間電圧補正用NMOSFET:N4を用いることによって1.7(1.0)%へと約1/3の変動幅に改善された。この様に、ドレイン・ソース間電圧補正用NMOSFET:N4の使用により V_{BR} や V_{TR} の V_{DD} 依存性と温度依存性が大幅に改善され、その有用性が実証された。

【0036】以上に述べた測定結果は、当該基準電圧発生回路中に存在する全てのNMOSFETについてその基板電圧 V_{Sub} を共通なGNDへ接続した場合の測定結果であるが、図3の如く、ダイオード接続のNチャネルMOSFET:N3をはじめとするNチャネルMOSFETの基板バイアス電圧 V_{Sub} を調整する基板バイアス可変回路7を設ければ、例えば、しきい値電圧基準電圧 V_{TR} を得る場合において、 V_{Sub} 電圧を変化させることにより、ダイオード接続のNMOSFET:N

3の $T=0$ °Kでのしきい値電圧 V_{TO} を制御できる。この様子を図7に示す。縦軸には、 V_{TO} 及び $V_{DD}=5.0V$ 、 $T=+20$ °Cにおけるしきい値電圧基準電圧 V_{TR} [以下、 $(V_{TR})_{typ}$ と記す。] をとり、横軸には $(2\psi_B - V_{Sub})$ の平方根をとる。ここで、 $2\psi_B=0.67V$ に選ぶと、 V_{TO} 及び $(V_{TR})_{typ}$ と $(2\psi_B - V_{Sub})$ の平方根とは直線関係で表される。尚、基板バイアス可変回路7は、既存の可変電圧回路を具備した回路でも良いし、外部の可変電圧回路を接続する回路であっても良い。

【0037】図7より、当該基準電圧発生回路中に存在する全てのNMOSFETへの、0.0V \sim -2.0Vの基板電圧 V_{Sub} の印加によって、 $(V_{TR})_{typ}$ 電圧が1.29V \sim 1.71Vの広範囲にわたって制御できることが分かる。尚、 ΔV_{TR} については、 V_{Sub} 印加により、 $V_{DD}=5.0 \pm 1.0V$ に対して約1.0%から約0.6%へと改善された(小さくなった)。因みに、 $V_{DD}=5.0 \pm 2.0V$ に対する ΔV_{TR} は、ほぼ1.6 \sim 1.9%の範囲であった。この様に、基板電圧 V_{Sub} の印加によりしきい値電圧基準電圧 V_{TR} を広い電圧範囲にわたって可変できることは、バンドギャップ基準電圧 V_{BR} による基準電圧源を得る事の出来ないしきい値電圧基準電圧 V_{TR} を用いた基準電圧源の特長である。

【0038】図1乃至図3示すサンプル回路では、基準電圧 V_{REF} の引出点とGNDとの間に、電源 V_{DD} 側から抵抗素子R2、pn接合ダイオードD3の順に、又は抵抗素子R2、ダイオード接続のNMOSFET:N3の順に接続したが、この順番は入れ替える同じ特性が得られる。ただ、製造プロセスをも考慮するとすれば、本実施例ではnウェルCMOSプロセスを用いたために、抵抗素子R2とpn接合ダイオードD3を入れ替えることによって、nウェル内に形成したpn接合ダイオードD3のダイオード電流が基板に漏れる場合があるので好ましくない。尚、トリプル・ウェル構造のCMOSプロセス等を用いれば、この接続上の制約はない。

【0039】一方、しきい値電圧基準電圧 V_{TR} による基準電圧発生回路の場合には、nウェルCMOSプロセスでも抵抗素子R2とダイオード接続のNMOSFET:N3を入れ替えることは可能であるが、ダイオード接続のNMOSFET:N3のソースがI3・R2の電圧分だけ上昇するので、その基板バイアス電圧による V_{TO} 上昇分だけしきい値電圧基準電圧 V_{TR} が上昇することとなる。又、用いるCMOSプロセスによってはNMOSFETとPMOSFETを全て入れ替えた回路構成を探る事も可能である。尚、pn接合ダイオードD3の代わりにバイポーラ・トランジスタを用いることもできることは言うまでもない。

【0040】また、図1乃至図3に示す実施例のスタートアップ回路では、 V_{DD} ・GND間に1つのPMOS

FET: P7と、2つのNMOSFET: N7, N8を直列接続した例を示し、GND側から2つ目のNMOSFET: N8のドレインと、ドレイン・ソース間電圧補正用NMOSFET: N4のゲートを接続した。しかし、回路特性に応じてドレイン・ソース間電圧補正用NMOSFET: N4を動作させるために、VDD・GND間にn段（但し、 $n \leq VDD/V_T$ ）のNMOSFETを直列接続して、それらのNMOSFETのGND側から数えてn段目のドレインとドレイン・ソース間電圧補正用NMOSFET: N4のゲートを接続することも可能である。

【0041】

【発明の効果】以上の如く、本発明によるMOS型基準電圧発生回路によれば、PチャネルMOSFETで構成される複数の電流経路を有するカレントミラーハイブと、それ等の電流経路に接続された複数のNチャネルMOSFETを有する回路において、複数のNチャネルMOSFETのソース・ドレイン間電圧補正用MOSFETを上記PチャネルMOSFETと直列に接続し、例えばPチャネルMOSFETで構成される第一、第二及び第三の電流経路を有し上記第二の電流経路をバイアス段とするカレントミラーハイブと、第一の電流経路に接続されたサブサブレッショルド領域で動作するNチャネルMOSFETと、第二の電流経路に接続されたサブレッショルド領域で動作するNチャネルMOSFET及び抵抗素子と、第三の電流経路に接続された抵抗素子及びpn接合ダイオードとで構成されるバンドギャップ基準電圧発生回路において、第二の電流経路における上記PチャネルMOSFETとNチャネルMOSFETの間にドレイン・ソース間電圧補正用NチャネルMOSFETを接続する構成を探ることによって、前記カレントミラーハイブを構成するNMOSFETのドレイン電圧がほぼ等しくなる結果、NMOSFETのドレイン電流が等しくなってVREFの安定性が大幅に改善されることとなる。

【0042】また、電源VDD・GND間に、PチャネルMOSFETと、ダイオード接続のドライブ用NチャネルMOSFETをn段に直列接続し、GND側からn段目のドライブ用NチャネルMOSFETのドレインを前記ドレイン・ソース間電圧補正用NチャネルMOSFETのゲートに接続し、且つ、n:自然数、及びn≤(電源電圧VDD)/(ドライブ用NMOSFETのしきい値電圧V_T)を満足するドライブ回路を設ければ、実施例で示した2段目以外に適当な段のドレイン電圧をドレイン・ソース間電圧補正用NMOSFETのゲートに印加できるので、N1とN2等カレントミラーハイブ構成にある複数のNMOSFETのドレイン電圧差の補正をより精密に調整することが可能となる。

【0043】更に、ゲートに1段目の前記ドライブ用NチャネルMOSFETのドレインが接続されると共に、ドレインに電源VDDが接続され、ソースが前記第一の

電流経路におけるNチャネルMOSFETのドレインに接続されたNチャネルMOSFETを用いたスタートアップ回路を設けることによって、所望のゲート電圧を速やかに供給して前記バンドギャップ回路のスタートアップを遅滞無く行なうことができる。

【0044】前記第三の電流経路に接続されたpn接合ダイオードを用いたバンドギャップ基準電圧がバンドギャップという物理定数で決定される約1.21Vの一定値に固定されるのに比べて、前記第三の電流経路に接続されたpn接合ダイオードの代わりに、ダイオード接続のNチャネルMOSFETを用いることによって、基準電圧は製造プロセスによって任意に調整可能なしきい値電圧で制御可能となり、基準電圧の設定範囲が大幅に広くなる。このことは、CMOSFETの微細化とともに電源電圧が低下し、それにつれて基準電圧も低下する傾向に対応することを可能にするものである。更に、前記ダイオード接続のNチャネルMOSFETにおける基板バイアス電圧VSubを調整する基板バイアス可変回路を設けたことによって、しきい値電圧基準電圧VTRを広い電圧範囲にわたって変化させることができる。

【図面の簡単な説明】

【図1】本発明によるMOS型基準電圧発生回路の一例を示す回路図である。

【図2】本発明によるMOS型基準電圧発生回路の一例を示す回路図である。

【図3】本発明によるMOS型基準電圧発生回路の一例を示す回路図である。

【図4】(イ) (ロ) ドレイン・ソース間電圧補正用NMOSFETの有無について、電圧変動による影響を含めた基準電圧VREF(VBR)の温度特性を示したグラフである。

【図5】(イ) (ロ) ドレイン・ソース間電圧補正用NMOSFETの有無について、電圧変動による影響を含めた基準電圧VREF(VTR)の温度特性を示したグラフである。

【図6】ドレイン・ソース間電圧補正用NMOSFETの有無について、電圧変動による影響を含めた基準電圧VREF(VBR及びVTR)の温度特性を変動幅を以て示したグラフである。

【図7】基板バイアス電圧VSubの変化に対する基準電圧VREF((VTR)typ及びVTO)の変化を、横軸を(2VBR-VSub)の平方根として示したグラフである。

【図8】従来のMOS型基準電圧発生回路の一例を示す回路図である。

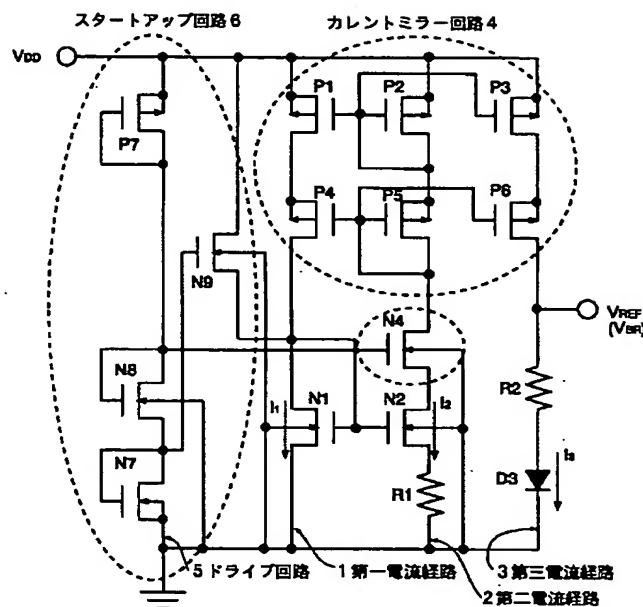
【符号の説明】

- 1 第一の電流経路
- 2 第二の電流経路
- 3 第三の電流経路
- 4 カレントミラーハイブ

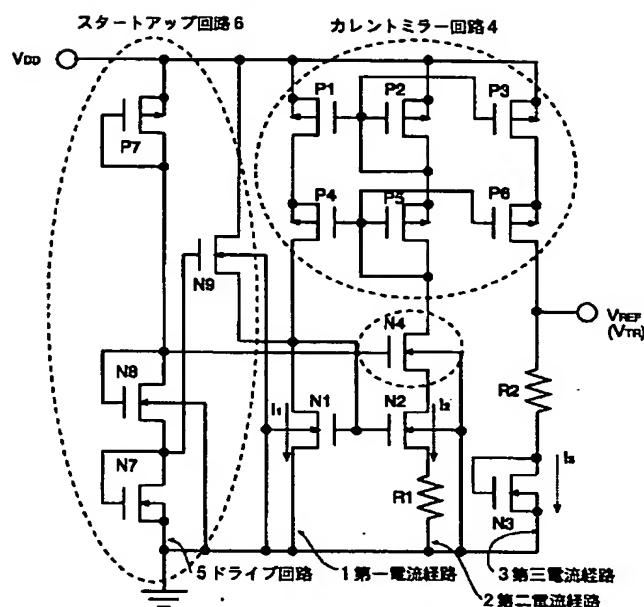
5 ドライブ回路
6 スタートアップ回路

7 基板バイアス可変回路

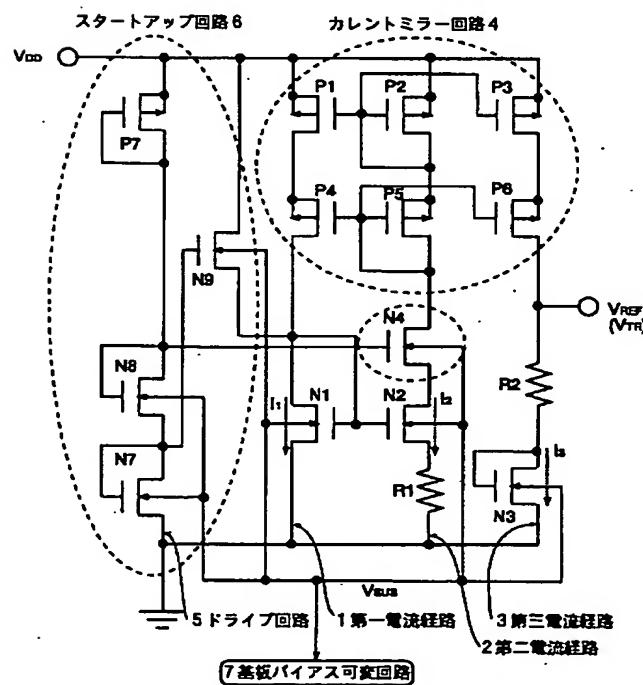
【図 1】



【図 2】

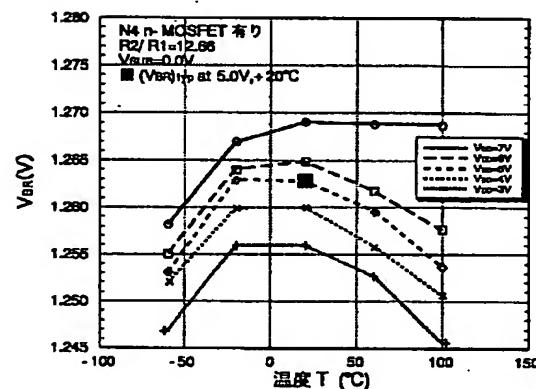


【図 3】

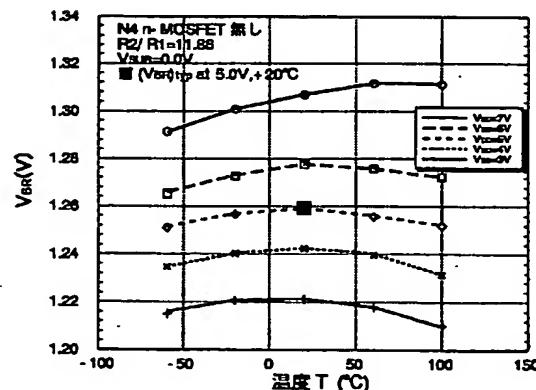


【図 4】

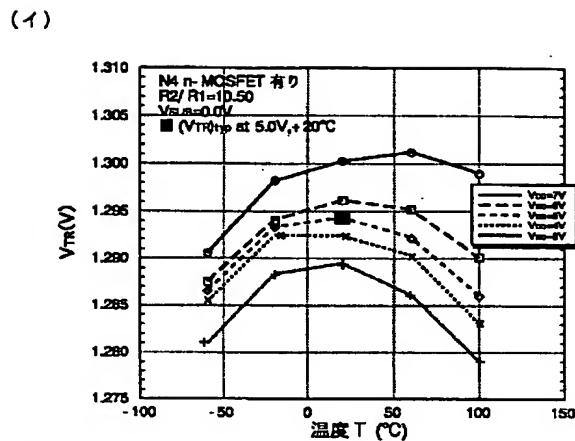
(イ)



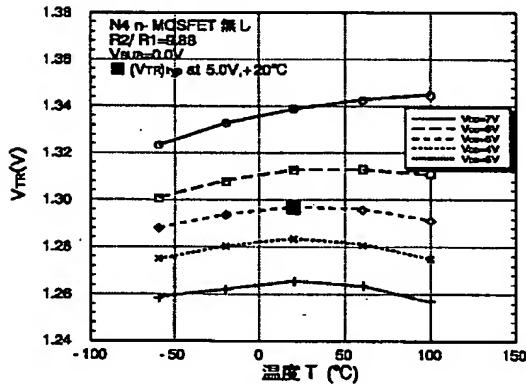
(ロ)



【図5】

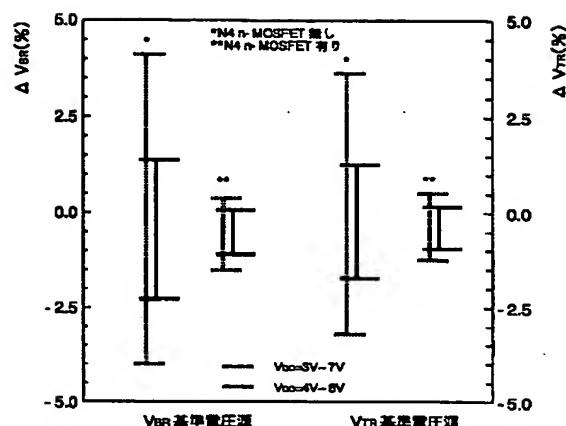


(□)

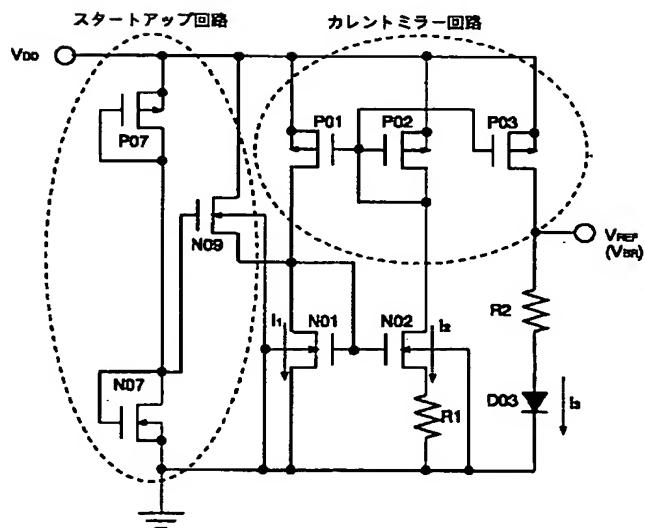
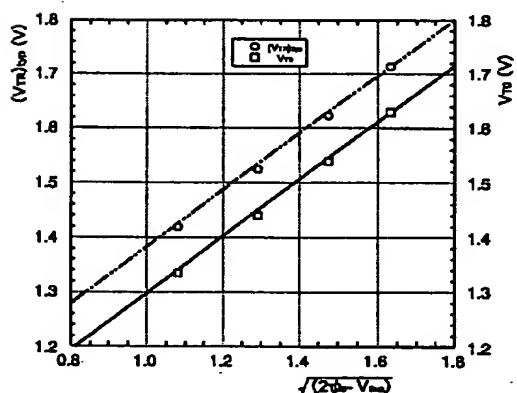


【図7】

【図6】



〔图8〕



【手続補正書】

【提出日】平成14年4月17日(2002.4.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】MOS型基準電圧発生回路

【特許請求の範囲】

【請求項1】PチャネルMOSFETで構成される複数の電流経路を有するカレントミラー回路(4)と、それ等の電流経路に接続された複数のNチャネルMOSFETを有する回路において、複数のNチャネルMOSFETのソース・ドレイン間電圧補正用MOSFETを上記PチャネルMOSFETと直列に接続したMOS型基準電圧発生回路。

【請求項2】PチャネルMOSFETで構成される第一、第二及び第三の電流経路(1, 2, 3)を有し上記第二の電流経路をバイアス段とするカレントミラー回路(4)と、第一の電流経路(1)に接続されたサブスレッショルド領域で動作するNチャネルMOSFETと、第二の電流経路(2)に接続されたサブスレッショルド領域で動作するNチャネルMOSFET及び抵抗素子と、第三の電流経路(3)に接続された抵抗素子及びpn接合ダイオードとで構成されるバンドギャップ基準電圧発生回路において、第二の電流経路(2)における上記PチャネルMOSFETとNチャネルMOSFETの間にドレイン・ソース間電圧補正用NチャネルMOSFETを接続したMOS型基準電圧発生回路。

【請求項3】電源V_{DD}・GND間に、PチャネルMOSFETと、ダイオード接続のドライブ用NチャネルMOSFETをn段に直列接続し、GND側からn段目のドライブ用NチャネルMOSFETのドレインを前記ドレイン・ソース間電圧補正用NチャネルMOSFETのゲートに接続し、且つ、n:自然数、及びn≤(電源電圧V_{DD})/(ドライブ用NチャネルMOSFETのしきい値電圧V_T)を満足するドライブ回路(5)を具备したことを特徴とする前記請求項1又は請求項2のいずれかに記載のMOS型基準電圧発生回路。

【請求項4】ゲートに1段目の前記ドライブ用NチャネルMOSFETのドレインが接続されると共に、ドレインに電源V_{DD}が接続され、ソースが前記第一の電流経路(1)におけるNチャネルMOSFETのドレインに接続されたNチャネルMOSFETを用いたスタートアップ回路(6)を有する前記請求項3に記載のMOS型基準電圧発生回路。

【請求項5】前記第三の電流経路(3)に接続されたpn接合ダイオードの代わりに、ダイオード接続のNチ

ャネルMOSFETを用いたことを特徴とする前記請求項2、3又は4のいずれかに記載のMOS型基準電圧発生回路。

【請求項6】前記ダイオード接続のNチャネルMOSFETにおける基板バイアス電圧V_{sub}を調整する基板バイアス可変回路(7)を設けたことを特徴とする前記請求項5に記載のMOS型基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFETによる半導体集積回路に構成された基準電圧発生回路に関する。

【0002】

【従来の技術】今日、小型で小電力で且つ高速な回路が求められるなか、ほとんどのデジタル回路がその様な要求を満足するCMOSデバイスで構成されており、バイポーラデバイスが中心であったアナログ回路の分野においてもCMOSデバイスによる実現が望まれている。しかし、アナログ回路においては、デジタル回路とは異なり、温度による影響が無くしかも電源電圧の変動にも影響されない基準電圧発生回路の実現が極めて重要なと/or。特に、アナログ-デジタル変換回路やデジタル-アナログ変換回路においては、電源電圧や温度に対して安定な基準電圧発生回路が要求される。従って、CMOS回路を用いて安定した基準電圧発生回路を構成することは、アナログCMOS回路の実現には必須の要件となる。

【0003】従来より半導体集積回路に構成される基準電圧発生回路は、従来例を示す図8の如くスタートアップ回路と、カレントミラー回路を具備したバンドギャップ基準電圧発生回路(以下、バンドギャップ回路と記す。)とから構成されている。

【0004】スタートアップ回路は、当該バンドギャップ回路への電源投入初期において、電源投入前における安定状態から所定出力電圧が得られる安定動作状態への移行を促進する為の始動回路である。当該回路構成では、電源投入に際して、PチャネルMOSFET(以下、PMOSFETと記す。)P07及びNチャネルMOSFET(以下、NMOSFETと記す。)N07のドレイン電圧を急激に立ち上げることで、速やかにNMOSFET:N09が稼働し、NMOSFET:N01及びN02に対する所望のゲート電圧を得ることができる。

【0005】MOSFETの特性を決める極めて重要な設計パラメータが、チャネルの幅:Wと、チャネルの長さ:Lである。ここで、チャネルの幅と長さを一定比率(同サイズである場合も含む)に定める事によって、それら組となる各MOSFETのドレイン電流に一定の比率が与えられることとなる。カレントミラー回路は、こ

の様な特性を利用したものであって、例えば、図8に示されている様に、同サイズのPMOSFET：P01, P02, P03をカレントミラー接続し、カレントミラー接続が成された各々のソースを電源電圧VDDに接続することによって、カレントミラー接続が成された各MOSFETのドレイン・ソース間に、相等しい一定の電流（以下、ドレイン電流と記す。）を流すものである。

【0006】バンドギャップ回路は、pn接合ダイオードD03を用いることにより、物理定数であるシリコンバンドギャップ（以下、バンドギャップと記す。）に依存した基準電圧を発生させる回路であって、理論上、前記カレントミラー回路のPMOSFET：P01, P02, P03のドレイン電流が相等しい（或いは所定の比率を持つ）ことを条件として、電源電圧VDDの変動に影響されることなく所定の基準電圧を安定して発生するものである。

【0007】

【発明が解決しようとする課題】しかしながら、従来図に示す回路構成では、N01のドレイン電圧とN02のドレイン電圧との間に差が生じ、たとえN01とN02の動作領域がサブスレッショルド領域にあったとしても、前記N01とN02のドレイン・ソース間電流が不一致となり、前記理論上理想的なカレントミラー回路の動作を得ることが出来ない。その結果、出力段に流れる電流が、電源電圧VDDの変動の影響を受ける形となり、VDDに対して安定した基準電圧VREFを得ることが出来なかった。

【0008】本発明は、上記実情に鑑みて成されたものであって、電源電圧の変動による基準電圧への影響が無いMOSFETによる半導体集積回路の基準電圧発生回路の提供を目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するため成された本発明によるMOS型基準電圧発生回路は、PチャネルMOSFETで構成される複数の電流経路を有するカレントミラー回路と、それ等の電流経路に接続された複数のNチャネルMOSFETを有する回路において、複数のNチャネルMOSFETのソース・ドレイン間電圧補正用MOSFETを上記PチャネルMOSFETと直列に接続した事を特徴とする。

【0010】より具体的には、PMOSFETで構成される第一、第二及び第三の電流経路を有し上記第二の電流経路をバイアス段とするカレントミラー回路と、第一の電流経路に接続されたサブスレッショルド領域で動作するNMOSFETと、第二の電流経路に接続されたサブスレッショルド領域で動作するNMOSFET及び抵抗素子と、第三の電流経路に接続された抵抗素子及びpn接合ダイオードとで構成され、上記2つのNMOSFETのドレイン電圧がほぼ等しくなるように、第二の電流経路における上記PMOSFETとNMOSFETの

間にドレイン・ソース間電圧補正用NMOSFETを接続した構成が挙げられる。仕様に応じ、前記第一、第二及び第三の電流経路それぞれについて、前記PMOSFETを2段に直列接続して成るカレントミラー回路を有する構成とする場合もある。

【0011】ここで、バイアス段とは、カレントミラー回路を構成する複数段の回路のうち、カレントミラー関係にある全てのPMOSFETのゲートに対して同じ電位を接続すべく当該全てのPMOSFETのゲートに接続する電位の共通取得点が存在し、且つ当該段に流れる電流を決定するための抵抗素子が接続してある段である。尚、当該明細書において抵抗素子とは、素材及び構造を限定することなく所望の抵抗成分を回路上に構成する抵抗体を指す。

【0012】電源VDD・GND間に、PチャネルMOSFETと、ダイオード接続のドライブ用NチャネルMOSFETをn段に直列接続し、GND側からn段目のドライブ用NチャネルMOSFETのドレインを前記ドレイン・ソース間電圧補正用NチャネルMOSFETのゲートに接続し、且つ、n：自然数、及びn≤（電源電圧VDD）/（ドライブ用NMOSFETのしきい値電圧VT）を満足する構成とする場合もあり、更に、ゲートに1段目の前記ドライブ用NMOSFETのドレインが接続されると共に、ドレインに電源VDDが接続され、ソースが前記第一の電流経路におけるNMOSFETのドレインに接続されたNMOSFETを用いたスタートアップ回路を有する構成とする場合もある。

【0013】基準電圧VREFの値をしきい値電圧で安定化させるべく、前記第三の電流経路に接続されたpn接合ダイオードの代わりに、ダイオード接続のNMOSFETを用いた構成を探っても良く、更に、該基準電圧の制御を可能とすべく前記ダイオード接続のNMOSFETにおける基板バイアス電圧を調整する基板バイアス可変回路を設けた構成とすることも可能である。尚、前記ダイオード接続のNMOSFETとは、ゲート・ドレイン間を短絡して用いたNMOSFETを指す。

【0014】

【発明の実施の形態】以下、本発明たるMOS型基準電圧発生回路の実施の形態を図面に基づき説明する。図1に示したサンプル回路は、PMOSFETによるカレントミラー回路4及びMOSFETのドレイン電圧をほぼ等しくするためのドレイン・ソース間電圧補正用NMOSFET：N4を具備したバンドギャップ回路と、当該バンドギャップ回路への電源投入初期における動作の安定化を促進するスタートアップ回路6とから構成された基準電圧発生回路である。

【0015】前記バンドギャップ回路は、電源電圧VDD・GND間に、PMOSFET：P1, PMOSFET：P4、及びNMOSFET：N1を直列に接続した第一の電流経路1と、PMOSFET：P2, PMO

S F E T : P 5, ドレイン・ソース間電圧補正用NMO S F E T : N 4, NMOS F E T : N 2, 及び抵抗素子 R 1を直列に接続した第二の電流経路2と、PMOS F E T : P 3, PMOS F E T : P 6, 抵抗素子R 2, 及びp n接合ダイオード：D 3を直列に接続した第三の電流経路3とを並列に接続して構成されている。

【0016】前記カレントミラーハ回路4は、PMOS F E T : P 2, P 5のゲート・ドレイン間が短絡され、PMOS F E T : P 1, P 2, P 3のゲート同士、及びPMOS F E T : P 4, P 5, P 6のゲート同士が短絡されて成るカレントミラーハ一部が二段積み三列構成を呈する形で構成されている。また、前記N 1のドレイン・ゲート間が短絡され、更に、NMOS F E T : N 1, N 2のゲート同士が短絡されることによって、NMOS F E T によるカレントミラーハ構成も形作られている。当該半導体集積回路の基準電圧発生回路の出力たる基準電圧V R E Fは、前記第三の電流経路を構成するPMOS F E T : P 6と抵抗素子R 2間の出力端から引き出されるものとする。

【0017】前記スタートアップ回路6は、電源電圧V D D・GND間に、PMOS F E T : P 7, ドレイン・ゲート間を短絡させダイオード接続としたドライブ用NMOS F E T : N 7, 及びドライブ用NMOS F E T : N 8を直列に接続したドライブ回路5と、ドレインを電源電圧V D Dに、ソースを前記バンドギャップ回路のP 4・N 1間に接続すると共に、そのゲートを前記N 7・N 8間に接続したスタートアップ用NMOS F E T : N 9とから構成される。当該スタートアップ用NMOS F E T : N 9が稼働することによって、N 1, N 2へ所望のゲート電圧を速やかに供給して前記バンドギャップ回路のスタートアップを行なう。尚、前記ドライブ用NMOS F E T : N 8のドレインは、上記ドレイン・ソース間電圧補正用NMOS F E T : N 4のゲートに接続され、当該ドレイン・ソース間電圧補正用NMOS F E T : N 4をドライブするために用いられる。

【0018】上記構成においてPMOS F E T : P 1, P 2, P 3のチャネル長及びチャネル幅を相互に等しく設定すると共に、PMOS F E T : P 4, P 5, P 6のチャネル長及びチャネル幅を相互に等しく設定し、且つ、NMOS F E T : N 1, N 2のチャネル長を等しく設定すると共に、N 2のチャネル幅をN 1のチャネル幅に対する適当な比率（例えば、1, 2, …, 7, 8倍）に設定する。

【0019】NMOS F E T : N 1, N 2はサブスレッショルド電流領域で動作させるように設計するので、これらNMOS F E T : N 1, N 2に流れる電流I

$$V_{ZRP} = V_{D(D3)} + V_t \cdot (n \cdot R_2 / R_1) \cdot \ln m$$

I (N 1), I 2 (N 2)は、下記(1) (2)式で与えられ、p n接合ダイオード：D 3に流れる電流I 3 (D 3)は、下記(3)式で与えられる。

【0020】

【数1】

$$I_{1(N1)} = I_{S(N1)} \cdot \exp \left[\left(V_{G(N1)} - V_T \right) / n \cdot V_t \right]$$

………(1)

【数2】

$$I_{2(N2)} = I_{S(N2)} \cdot \exp \left[\left(V_{G(N2)} - V_T \right) / n \cdot V_t \right]$$

………(2)

$$\text{但し、 } V_{G(N2)} = V_{G(N1)} - I_{2(N2)} \cdot R_1$$

【数3】

$$I_{3(D3)} = I_{D(D3)} \cdot \exp \left[\left(V_{D(D3)} - E_G \right) / V_t \right]$$

………(3)

ここで、

I S : 温度に依存しないサブスレッショルド電流

V G : ゲート電圧

V T : しきい値電圧

n : サブスレッショルド係数の補正項

V t : 熱電圧 (= k · T / q)

k : ボルツマン定数

T : 絶対温度

q : 電子の電荷量

V D : p nダイオードに印加される電圧

E G : シリコンのバンドギャップ

である。

【0021】そして、前記バンドギャップ回路の第一の電流経路1に流れる電流I 1と、第二の電流経路2に流れる電流I 2と、第三の電流経路3に流れる電流I 3とが等しい (I 1 = I 2 = I 3) という条件を満たせば、上記(1) (2) (3)式で与えられるI 1, I 2, I 3は相互に等しいこととなる。

【0022】また、基準電圧V R E Fは、下記(4)式によって与えられる。

【数4】

………(4)

但し、m : N 1とN 2のチャネル幅W 1, W 2の比 (m = W 2 / W 1)。

【0023】前記基準電圧 V_{REF} の温度特性は、下記 (5) 式で与えられ、pn ダイオード D3 に印加される電圧の温度特性は、下記 (6) 式で与えられる。

【数5】

$$(\Delta/\Delta T) \cdot V_{D(D3)} = -[E_{\infty} - V_{D(D3)}]/T \quad \dots \dots \dots (5)$$

但し、 E_{∞} は $T = 0$ K でのバンドギャップの電位である。

【0024】温度特性を平坦にするということで $(\Delta/\Delta T) \cdot V_{REF} = 0$ とし、(5) 式に代入すると下記 (7) 式となる。

【数7】

$$R_2/R_1 = [E_{\infty} - V_{D(D3)}]/n \cdot V_t \cdot \ln m \quad \dots \dots \dots (7)$$

【0025】即ち、 (R_2/R_1) の比が (7) 式を満たすように回路を設計すれば、温度特性が平坦で、且つ非常に安定した下記 (8) 式の電圧を基準電圧 V_{REF} として得ることができる。当該 V_{REF} は、シリコンの物理定数であるバンドギャップの電位で決定されるので、バンドギャップ基準電圧と呼ばれる。

【数8】

$$V_{REF} = E_{\infty} = 1.21V \quad \dots \dots \dots (8)$$

【0026】図2に示したサンプル回路においては、pn

$$(\Delta/\Delta T) \cdot V_{G(N3)} = -[V_{T0} - V_{G(N3)}]/T \quad \dots \dots \dots (10)$$

但し、 V_{T0} は

$T = 0$ K での N3 のしきい値電圧である。

【0027】ここで、下記 (11) 式を満足するように回路設計すれば、 $(\Delta/\Delta T) \cdot V_{REF} = 0$ となり、下記 (12) 式の様に基準電圧 V_{REF} が得られる。当該基準電圧 V_{REF} は、ダイオード接続 NMOSFET

$$R_2/R_1 = [V_{T0} - V_{G(N3)}]/n \cdot V_t \cdot \ln m$$

$$(\Delta/\Delta T) \cdot V_{REF} = (n \cdot R_2/R_1) \cdot (k/q) \cdot \ln m + (\Delta/\Delta T) \cdot V_{D(D3)} \quad \dots \dots \dots (5)$$

【数6】

$$(\Delta/\Delta T) \cdot V_{D(D3)} = -[E_{\infty} - V_{D(D3)}]/T \quad \dots \dots \dots (6)$$

pn 接合ダイオード：D3 をドレインとゲートを短絡したダイオード接続の NMOSFET : N3 に置き換えることが出来る様子が示されている。この様に、pn 接合ダイオード：D3 をダイオード接続の NMOSFET : N3 に置き換えた場合には、pn 接合ダイオードに流れる電流 I_{D3} (D3) は、上記ダイオード接続の NMOSFET : N3 のドレイン・ソース間に流れる電流 I_{N3} となり、下記 (9) 式によって与えられる。

【数9】

$$I_{N3} = I_{S(N3)} \cdot \exp[V_{G(N3)} - V_T]/n \cdot V_t \quad \dots \dots \dots (9)$$

そして、ダイオード接続の NMOSFET : N3 に印加される電圧の温度特性は、バンドギャップ方式の基準電圧 V_{REF} の場合と同様に、下記 (10) 式で与えられる。

【数10】

$T : N3$ の $T = 0$ K におけるしきい値電圧に安定化されるので、特にしきい値電圧基準電圧 V_{TR} とよぶ。

【数11】

$$V_{REF} = V_{T0} \quad \dots \dots \dots (11)$$

【数12】

$$V_{REF} = V_{T0} \quad \dots \dots \dots (12)$$

【0028】上記理論上、NMOSFET の理想的なサブレッショルド電流は (1), (2) 式で与えられるようにゲート電圧 V_G のみで決定され、ドレン電圧には依存しない。従って、同じゲート電圧が印加されてい

る NMOSFET : N1, N2 には同じ I_1 と I_2 という電流が流れるはずである。しかし、実際には、サブレッショルド電流はソース・ドレン間の電圧にも依存するので、厳密に $I_1 = I_2$ を満たすためには NMOS

FET : N1, N2 のソース・ドレイン間電圧を等しくする必要がある。

【0029】本実施例の回路では、NMOSFET : N2 のソース電圧は、NMOSFET : N1 のソース電圧に比べて $I_2 \cdot R_1$ の電圧分だけ高くなるが、この電圧は通常数 10 mV 程度であるので、そのサブスレッショルド電流に及ぼす影響は無視できる。従って、この場合には、N2 のドレイン電圧差に注目すればよい。上記サンプル回路のシミュレーション結果によれば、 V_{DD} が 5 V の時の NMOSFET : N1, N2 のドレイン電圧は、前記ソース・ドレイン間電圧補正用 NMOSFET : N4 が無い場合には、それぞれ 0.7 V と 2.7 V となり、約 2.0 V の電圧差が生じている。本来、この様な結果では上記理論計算で想定した $I_1 = I_2 = I_3$ の関係が厳密には成立していないので、基準電圧 V_{REF} の、 V_{DD} や温度に対する安定性が悪くなることは容易に推測できる。

【0030】しかしながら、上記サンプル回路（図 1 及び図 2 参照）においては、前記ソース・ドレイン間電圧補正用 NMOSFET : N4 に対し、前記スタートアップ回路からゲート電圧が供給されることによって、電源電圧 V_{DD} の変動等に起因して NMOSFET : N1, N2 のドレイン電圧に生じる格差を吸収する電圧補正作用が生じ、NMOSFET : N1, N2 のドレイン電圧は、ほぼ等しい 0.7 V となる。この様に、当該ソース・ドレイン間電圧補正用 NMOSFET : N4 の電圧補正作用が、NMOSFET : N1, N2 に流れるドレイン電流 I_1 と I_2 を一致させ、前記 $I_1 = I_2 = I_3$ という条件を厳密に成立させる作用を奏した結果として、電源電圧 V_{DD} の変化に対する影響を受けない安定した基準電圧 V_{REF} が与えられることとなる。

【0031】

【実施例】以下、上記サンプル回路の試作・測定結果について述べる。尚、先に挙げた 2 種類の回路から取り出す基準電圧 V_{REF} を区別するために、p-n 接合ダイオード : D3 を用いたバンドギャップ基準電圧 V_{REF} を V_{BR} と称し、ダイオード接続 NMOSFET : N3 を用いたしきい値電圧基準電圧 V_{REF} を V_{TR} と称する。サンプル回路の試作は、1.2 ミクロン・ルールの n ウエル CMOS プロセスで行った。抵抗素子 R_1, R_2 は n ウエル抵抗で形成し、 R_1 は $50 k\Omega$ である。

【0032】図 4 に p-n 接合ダイオード D3 を用いたバンドギャップ基準電圧 V_{BR} の $V_{DD} = 3 V, 4 V, 5 V, 6 V, 7 V$ での温度依存性データを示す。測定温度は $-60, -20, +20, +60, +100^\circ C$ である。図 4 (口) は、ドレイン・ソース間電圧補正用 NMOSFET : N4 が無く PMOSFET : P5 と NMOSFET : N2 のドレインを短絡した場合、図 4 (イ) は、ドレイン・ソース間電圧補正用 NMOSFET : N4 がある場合の測定結果を示す。 $V_{DD} = 5.0 V, T$

$= +20^\circ C$ での V_{BR} は、両者とも約 1.26 V とほぼ同じ値で、消費電流は約 6 マイクロアンペアであった。

【0033】ダイオード接続の NMOSFET : N3 を用いたしきい値電圧基準電圧 V_{TR} での、同様な測定結果を図 5 に示す。この時、 $V_{DD} = 5.0 V, T = +20^\circ C$ での V_{TR} は両者とも約 1.29 V であった。当該図から明らかな様に、ドレイン・ソース間電圧補正用 NMOSFET : N4 を用いることによって、 V_{DD} 依存性は勿論のこと温度依存性も大幅に改善された。

【0034】上記測定結果を、バンドギャップ基準電圧 V_{BR} 及びしきい値電圧基準電圧 V_{TR} の変動率の様子として図 6 に示す。尚、縦軸の ΔV_{BR} 又は ΔV_{TR} は、 $V_{DD} = 5.0 V, T = +20^\circ C$ でのバンドギャップ基準電圧 V_{BR} 及びしきい値電圧基準電圧 V_{TR} 電圧を基準値として、 $V_{DD} = 3 V \sim 7 V$ の範囲及び $V_{DD} = 4 V \sim 6 V$ の範囲について、 $T = -60^\circ C \sim 100^\circ C$ の測定範囲におけるバンドギャップ基準電圧 V_{BR} 及びしきい値電圧基準電圧 V_{TR} の最大値から最小値に亘る変化量を、前記基準値に対する割合 (%) として表示したものである。

【0035】以下、 $V_{DD} = 3 V \sim 7 V$ の範囲における変化量をカッコ外に、 $V_{DD} = 4 V \sim 6 V$ の範囲における変化量をカッコ内に示す。 ΔV_{BR} は、ドレイン・ソース間電圧補正用 NMOSFET : N4 を用いない場合の、7.2 (3.3) % からドレイン・ソース間電圧補正用 NMOSFET : N4 を用いることによって 1.9 (1.1) % へと 1/3 以下の変動幅に改善された。同様に、 ΔV_{TR} は、ドレイン・ソース間電圧補正用 NMOSFET : N4 を用いない場合の 6.4 (2.8) % からドレイン・ソース間電圧補正用 NMOSFET : N4 を用いることによって 1.7 (1.0) % へと約 1/3 の変動幅に改善された。この様に、ドレイン・ソース間電圧補正用 NMOSFET : N4 の使用により V_{BR} や V_{TR} の V_{DD} 依存性と温度依存性が大幅に改善され、その有用性が実証された。

【0036】以上に述べた測定結果は、当該基準電圧発生回路中に存在する全ての NMOSFET についてその基板電圧 V_{Sub} を共通な GND へ接続した場合の測定結果であるが、図 3 の如く、ダイオード接続の N チャネル MOSFET : N3 をはじめとする N チャネル MOSFET の基板バイアス電圧 V_{Sub} を調整する基板バイアス可変回路 7 を設ければ、例えば、しきい値電圧基準電圧 V_{TR} を得る場合において、 V_{Sub} 電圧を変化させることにより、ダイオード接続の NMOSFET : N3 の $T = 0 K$ でのしきい値電圧 V_{TO} を制御できる。この様子を図 7 に示す。縦軸には、 V_{TO} 及び $V_{DD} = 5.0 V, T = +20^\circ C$ におけるしきい値電圧基準電圧 V_{TR} [以下、 $(V_{TR})_{typ}$ と記す。] をとり、横軸には $(2\psi_B - V_{Sub})$ の平方根をとる。ここで、 $2\psi_B = 0.67 V$ に選ぶと、 V_{TO} 及び $(V_{TR})_{typ}$

t_{yp} と $(2\psi_B - V_{Sub})$ の平方根とは直線関係で表される。尚、基板バイアス可変回路 7 は、既存の可変電圧回路を具備した回路でも良いし、外部の可変電圧回路を接続する回路であっても良い。

【0037】図 7 より、当該基準電圧発生回路中に存在する全ての NMOSFET への、0.0V ~ -2.0V の基板電圧 V_{Sub} の印加によって、 $(V_{TR})_{typ}$ 電圧が 1.29V ~ 1.71V の広範囲にわたって制御できることが分かる。尚、 ΔV_{TR} については、 V_{Sub} 印加により、 $V_{DD} = 5.0 \pm 1.0V$ に対して約 1.0% から約 0.6% へと改善された（小さくなつた）。因みに、 $V_{DD} = 5.0 \pm 2.0V$ に対する ΔV_{TR} は、ほぼ 1.6 ~ 1.9% の範囲であった。この様に、基板電圧 V_{Sub} の印加によりしきい値電圧基準電圧 V_{TR} を広い電圧範囲にわたって可変できることは、バンドギャップ基準電圧 V_{BR} による基準電圧源で得る事の出来ないしきい値電圧基準電圧 V_{TR} を用いた基準電圧源の特長である。

【0038】図 1 乃至図 3 示すサンプル回路では、基準電圧 V_{REF} の引出点と GND との間に、電源 V_{DD} 側から抵抗素子 R_2 、 $p-n$ 接合ダイオード D_3 の順に、又は抵抗素子 R_2 、ダイオード接続の NMOSFET : N3 の順に接続したが、この順番は入れ替えても同じ特性が得られる。ただ、製造プロセスをも考慮するとすれば、本実施例では n ウエル CMOS プロセスを用いたために、抵抗素子 R_2 と $p-n$ 接合ダイオード D_3 を入れ替えることによって、 n ウエル内に形成した $p-n$ 接合ダイオード D_3 のダイオード電流が基板に漏れる場合があるので好ましくない。尚、トリプル・ウェル構造の CMOS プロセス等を用いれば、この接続上の制約はない。

【0039】一方、しきい値電圧基準電圧 V_{TR} による基準電圧発生回路の場合には、 n ウエル CMOS プロセスでも抵抗素子 R_2 とダイオード接続の NMOSFET : N3 を入れ替えることは可能であるが、ダイオード接続の NMOSFET : N3 のソースが $I_3 \cdot R_2$ の電圧分だけ上昇するので、その基板バイアス電圧による V_{TO} 上昇分だけしきい値電圧基準電圧 V_{TR} が上昇することとなる。又、用いる CMOS プロセスによっては NMOSFET と PMOSFET を全て入れ替えた回路構成を探る事も可能である。尚、 $p-n$ 接合ダイオード D_3 の代わりにバイポーラ・トランジスタを用いることもできることは言うまでもない。

【0040】また、図 1 乃至図 3 に示す実施例のスタートアップ回路では、 $V_{DD} \cdot GND$ 間に 1 つの PMOSFET : P7 と、2 つの NMOSFET : N7, N8 を直列接続した例を示し、GND 側から 2 つ目の NMOSFET : N8 のドレインと、ドレイン・ソース間電圧補正用 NMOSFET : N4 のゲートを接続した。しかし、回路特性に応じてドレイン・ソース間電圧補正用 NMOSFET : N4 を動作させるために、 $V_{DD} \cdot GND$

D 間に n 段（但し、 $n \leq V_{DD}/V_T$ ）の NMOSFET を直列接続して、それらの NMOSFET の GND 側から数えて n 段目のドレインとドレイン・ソース間電圧補正用 NMOSFET : N4 のゲートを接続することも可能である。

【0041】

【発明の効果】以上のように、本発明による MOS 型基準電圧発生回路によれば、P チャネル MOSFET で構成される複数の電流経路を有するカレントミラー回路と、それ等の電流経路に接続された複数の N チャネル MOSFET を有する回路において、複数の N チャネル MOSFET のソース・ドレイン間電圧補正用 MOSFET を上記 P チャネル MOSFET と直列に接続し、例えば P チャネル MOSFET で構成される第一、第二及び第三の電流経路を有し上記第二の電流経路をバイアス段とするカレントミラー回路と、第一の電流経路に接続された サブスレッシュルド 領域で動作する N チャネル MOSFET と、第二の電流経路に接続された サブスレッシュルド 領域で動作する N チャネル MOSFET 及び抵抗素子と、第三の電流経路に接続された抵抗素子及び $p-n$ 接合ダイオードとで構成されるバンドギャップ基準電圧発生回路において、第二の電流経路における上記 P チャネル MOSFET と N チャネル MOSFET の間にドレイン・ソース間電圧補正用 N チャネル MOSFET を接続する構成を探ることによって、前記カレントミラー回路を構成する NMOSFET のドレイン電圧がほぼ等しくなる結果、NMOSFET のドレイン電流が等しくなって V_{REF} の安定性が大幅に改善されることとなる。

【0042】また、電源 $V_{DD} \cdot GND$ 間に、P チャネル MOSFET と、ダイオード接続の ドライブ用 N チャネル MOSFET を n 段に直列接続し、GND 側から n 段目の ドライブ用 N チャネル MOSFET のドレインを前記ドレイン・ソース間電圧補正用 N チャネル MOSFET のゲートに接続し、且つ、 n : 自然数、及び $n \leq (電源電圧 V_{DD}) / (ドライブ用 NMOSFET のしきい値電圧 V_T)$ を満足するドライブ回路を設ければ、実施例で示した 2 段目以外に適當な段のドレイン電圧をドレイン・ソース間電圧補正用 NMOSFET のゲートに印加できるので、N1 と N2 等カレントミラー構成にある複数の NMOSFET のドレイン電圧差の補正をより精密に調整することができる。

【0043】更に、ゲートに 1 段目の前記ドライブ用 N チャネル MOSFET のドレインが接続されると共に、ドレインに電源 V_{DD} が接続され、ソースが前記第一の電流経路における N チャネル MOSFET のドレインに接続された N チャネル MOSFET を用いたスタートアップ回路を設けることによって、所望のゲート電圧を速やかに供給して前記バンドギャップ回路のスタートアップを遅滞無く行なうことができる。

【0044】前記第三の電流経路に接続された $p-n$ 接合

ダイオードを用いたバンドギャップ基準電圧がバンドギャップという物理定数で決定される約1.21Vの一定値に固定されるのに比べて、前記第三の電流経路に接続されたpn接合ダイオードの代わりに、ダイオード接続のNチャネルMOSFETを用いることによって、基準電圧は製造プロセスによって任意に調整可能なしきい値電圧で制御可能となり、基準電圧の設定範囲が大幅に広くなる。このことは、CMOSFETの微細化とともに電源電圧が低下し、それにつれて基準電圧も低下する傾向に対応することを可能にするものである。更に、前記ダイオード接続のNチャネルMOSFETにおける基板バイアス電圧 V_{SUB} を調整する基板バイアス可変回路を設けたことによって、しきい値電圧基準電圧 V_{TR} を広い電圧範囲にわたって変化させることができる。

【図面の簡単な説明】

【図1】本発明によるMOS型基準電圧発生回路の一例を示す回路図である。

【図2】本発明によるMOS型基準電圧発生回路の一例を示す回路図である。

【図3】本発明によるMOS型基準電圧発生回路の一例を示す回路図である。

【図4】(イ) (ロ) ドレン・ソース間電圧補正用NMOSFETの有無について、電圧変動による影響を含めた基準電圧 V_{REF} (V_{BR})の温度特性を示したグラフである。

【図5】(イ) (ロ) ドレン・ソース間電圧補正用N

MOSFETの有無について、電圧変動による影響を含めた基準電圧 V_{REF} (V_{TR})の温度特性を示したグラフである。

【図6】ドレン・ソース間電圧補正用NMOSFETの有無について、電圧変動による影響を含めた基準電圧 V_{REF} (V_{BR} 及び V_{TR})の温度特性を変動幅を以て示したグラフである。

【図7】基板バイアス電圧 V_{SUB} の変化に対する基準電圧 V_{REF} (V_{TR} typ及び V_{TO})の変化を、横軸を $(2^{1/2}B - V_{SUB})$ の平方根として示したグラフである。

【図8】従来のMOS型基準電圧発生回路の一例を示す回路図である。

【符号の説明】

- 1 第一の電流経路
- 2 第二の電流経路
- 3 第三の電流経路
- 4 カレントミラー回路
- 5 ドライブ回路
- 6 スタートアップ回路
- 7 基板バイアス可変回路

【手続補正2】

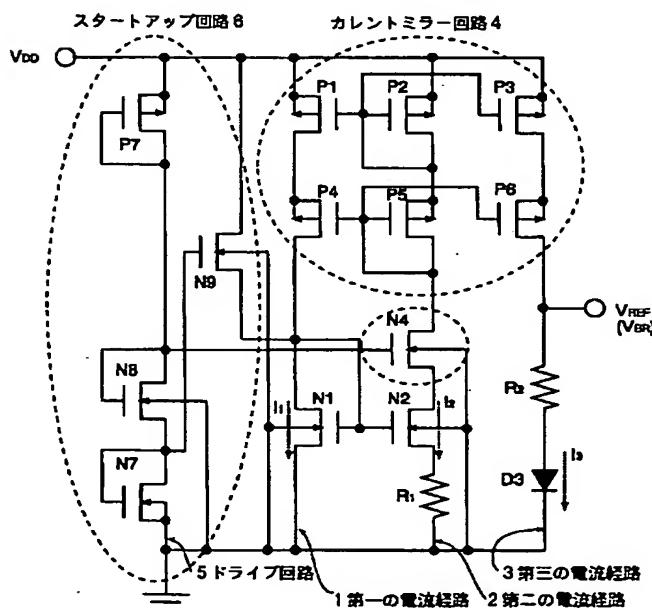
【補正対象書類名】図面

【補正対象項目名】全図

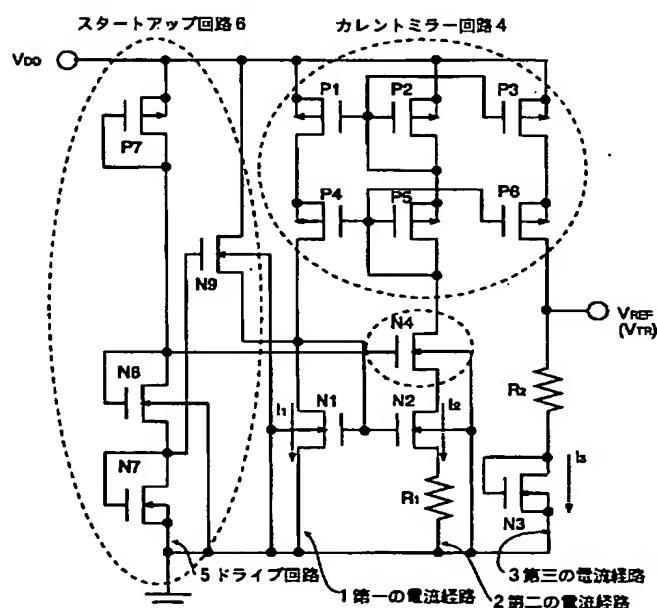
【補正方法】変更

【補正内容】

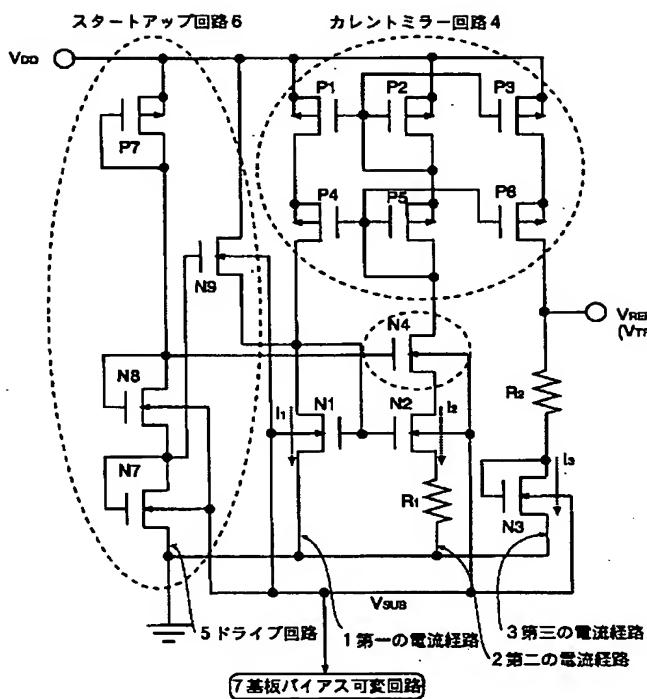
【図1】



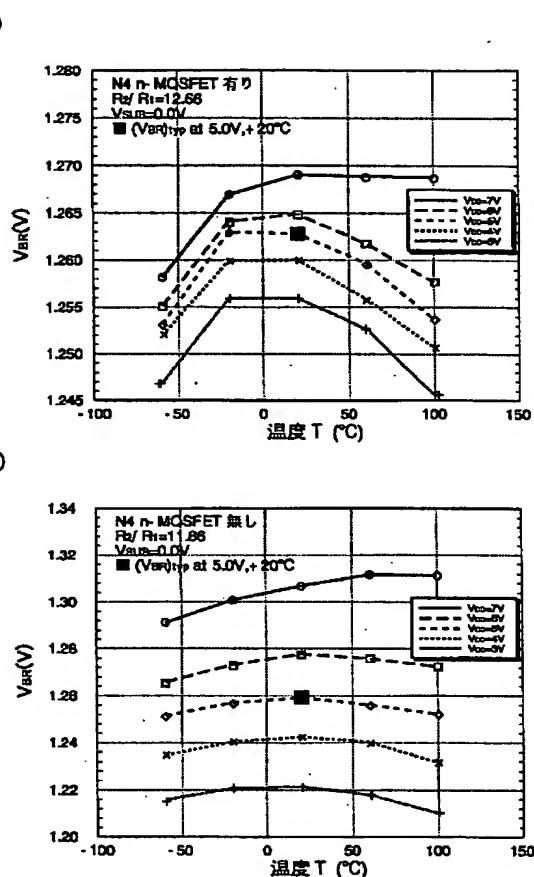
【図2】



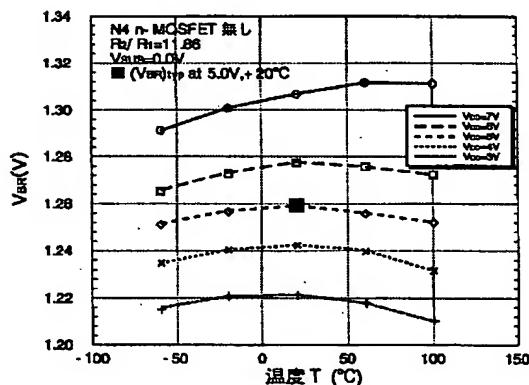
【図 3】



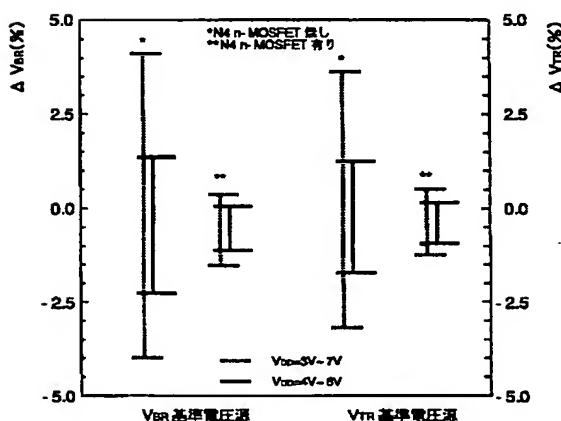
【図 4】



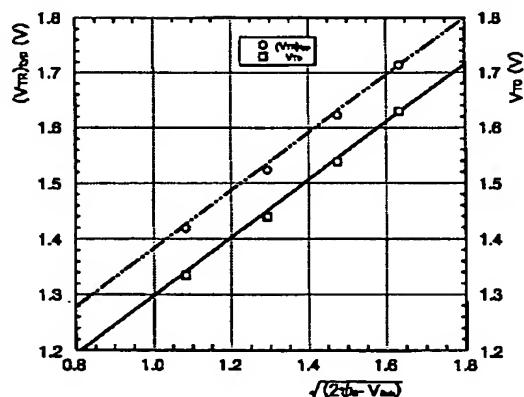
(口)



【図 6】

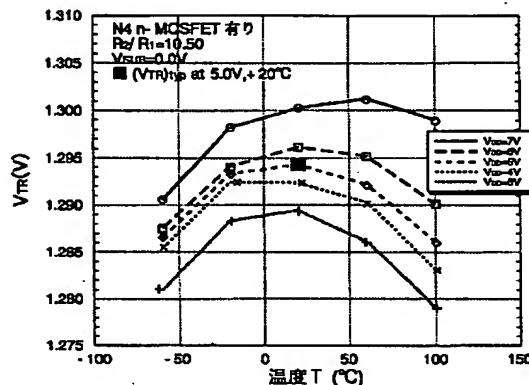


【図 7】

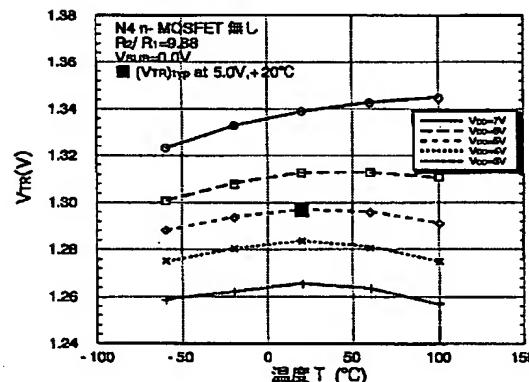


【図5】

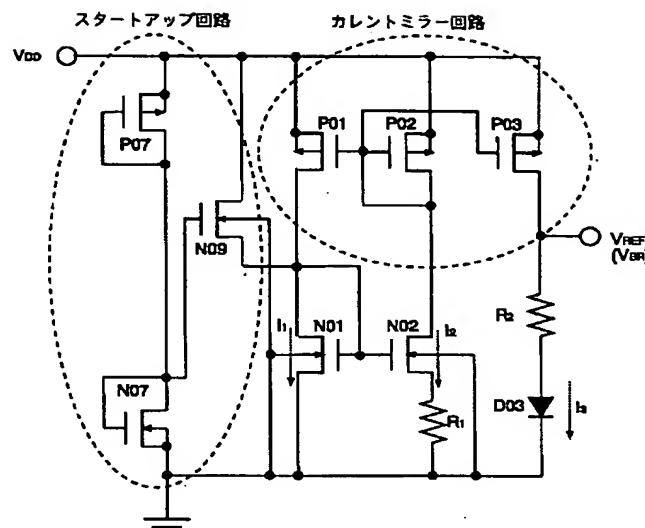
(イ)



(ロ)



【図8】



フロントページの続き

(72) 発明者 松田 敏弘
富山県射水郡小杉町黒河5180 富山県立大
学内

(72) 発明者 中島 茂樹
富山県魚津市江口2184 株式会社シキノハ
イテック内

(72) 発明者 伊原 隆
富山県魚津市江口2184 株式会社シキノハ
イテック内

(72) 発明者 山本 真也
富山県魚津市江口2184 株式会社シキノハ
イテック内

F ターム(参考) 5H420 NA16 NA23 NB02 NB22 NB23
NB25 NB36 NE11
5J090 AA03 AA43 AA58 CA02 CA04
CA11 CA98 CN01 FA01 FN06
HA10 HA17 HA19 HA25 KA00
KA09 KA12 MA21 TA02 TA04
5J091 AA03 AA43 AA58 CA02 CA04
CA11 CA98 FA01 HA10 HA17
HA19 HA25 KA00 KA09 KA12
MA21 TA02 TA04
5J500 AA03 AA43 AA58 AC02 AC04
AC11 AC98 AF01 AH10 AH17
AH19 AH25 AK00 AK09 AK12
AM21 AT02 AT04 NC01 NF06